

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-326881
(43) Date of publication of application : 08. 12. 1998

(51) Int. Cl. H01L 27/115
H01L 21/8234
H01L 27/06
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number : 10-098445 (71) Applicant : SEIKO EPSON CORP
(22) Date of filing : 26. 03. 1998 (72) Inventor : FURUHATA TOMOYUKI

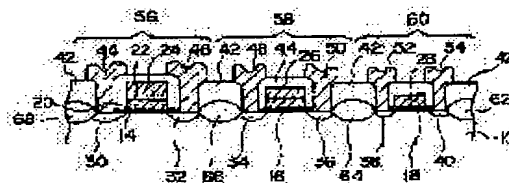
(30) Priority
Priority number : 09 76236 Priority date : 27. 03. 1997 Priority country : JP

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the production process of a nonvolatile semiconductor memory device by a method, wherein the tunnel insulating film of a storage element and the first gate insulating film of a first field-effect transistor are simultaneously formed.

SOLUTION: A tunnel oxide film 14 is formed on the main surface of a silicon substrate 10 located at a storage element formation region 56 and a floating gate 20, and a dielectric film 22 and a control gate 24 are laminated sequentially on the film 14 so as to form a source 30 and a drain 32 in the main surface of the substrate 10 to hold this laminated structure between them. At the same time, with a gate oxide film 16 formed on the main surface of the substrate 10 located at a low-withstand voltage transistor formation region 58, a gate oxide film 18 is formed on the main surface of the substrate 10 located at a high-withstand voltage transistor formation region 60. As a result, the simplification for the production process of a nonvolatile semiconductor memory device can be made.



LEGAL STATUS

[Date of request for examination]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-326881

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/115
21/8234
27/06
27/10
21/8247

4 8 1

H 0 1 L 27/10
27/06
29/78

4 3 4
4 8 1
1 0 2 C
3 7 1

審査請求 未請求 請求項の数21 F D (全 13 頁) 最終頁に続く

(21) 出願番号 特願平10-98445

(22) 出願日 平成10年(1998)3月26日

(31) 優先権主張番号 特願平9-76236

(32) 優先日 平9(1997)3月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 古畑 智之

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

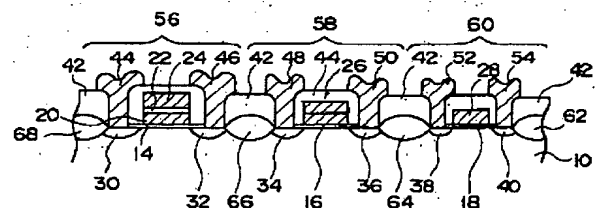
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 記憶素子と低耐圧トランジスタとを備えた不揮発性半導体記憶装置において、製造工程の簡略化を図ることができる方法を提供すること。

【解決手段】 記憶素子のトンネル酸化膜14と低耐圧トランジスタのゲート酸化膜16と同時に形成している。



10 シリコン基板
14 トンネル酸化膜
16 ゲート酸化膜
20 フローティングゲート

22 半導体膜
24 コントロールゲート
26, 28 ゲート電極
30 記憶素子形成領域

32 低耐圧トランジスタ形成領域
34 高耐圧トランジスタ形成領域
36 フィールド酸化膜

【特許請求の範囲】

【請求項1】 コントロールゲート及びフローティングゲートを有する記憶素子と、第1のゲート電極を有する第1の電界効果トランジスタと、を含む不揮発性半導体記憶装置の製造方法であって、半導体基板の主表面に、前記主表面を第1の領域と第2の領域とに分ける第1の素子分離絶縁膜を形成する工程と、前記第1の領域に前記記憶素子のトンネル絶縁膜を形成し、同時に前記第2の領域に前記第1の電界効果トランジスタの第1のゲート絶縁膜を形成する工程と、前記トンネル絶縁膜及び前記第1のゲート絶縁膜の上に、第1の導電体膜を形成する工程と、前記第1の領域にある前記第1の導電体膜の上に、前記記憶素子の誘電体膜となる第1の絶縁膜を形成する工程と、前記第1の領域にある前記第1の絶縁膜の上及び前記第2の領域にある前記第1の導電体膜の上に、第2の導電体膜を形成する工程と、前記第2及び第1の導電体膜を選択的に除去して、前記第1の領域に前記コントロールゲート及び前記フローティングゲート並びに前記第2の領域に前記第2及び第1の導電体膜の積層構造を含む前記第1のゲート電極を形成する工程と、を備えた不揮発性半導体記憶装置の製造方法。

【請求項2】 請求項1において、前記第1の絶縁膜を形成する工程は、前記第2の領域にある前記第1の導電体膜の上に、前記第1の絶縁膜を形成する工程と、前記第2の領域にある前記第1の導電体膜の上の前記第1の絶縁膜を選択的に除去し、前記第2の領域にある前記第1の導電体膜を露出する工程と、を含み、前記第2の導電体膜を形成する工程は、前記第2の導電体膜が、露出した前記第1の導電体膜と接触するように形成する工程を含む、不揮発性半導体記憶装置の製造方法。

【請求項3】 請求項1において、前記主表面は、さらに第3の領域を有し、前記第1の導電体膜を形成する工程は、前記第1の導電体膜を前記第3の領域に形成する工程を含み、前記第1の絶縁膜を形成する工程は、前記第1の絶縁膜を前記第2及び第3の領域にある前記第1の導電体膜の上に形成する工程と、前記第3の領域にある前記第1の導電体膜の上の前記第1の絶縁膜を選択的に除去し、前記第3の領域にある前記第1の導電体膜を露出する工程と、を含み、前記第2の導電体膜を形成する工程は、前記第2の導電体膜を前記第3の領域に形成し、前記第3の領域で前記第1の導電体膜と前記第2の導電体膜とを電気的に接続させる工程を含み、

前記第1のゲート電極を形成する工程は、前記第1のゲート電極を構成する前記第2及び第1の導電体膜は、前記第3の領域で電気的に接続され、前記第2の領域に、間に前記第1の絶縁膜を挟んだ前記第2及び第1の導電体膜の積層構造を含む前記第1のゲート電極を形成する工程を含む、不揮発性半導体記憶装置の製造方法。

【請求項4】 請求項3において、前記第3の領域に、第2の素子分離絶縁膜を形成する工程を含み、前記第1のゲート電極を構成する前記第2及び第1の導電体膜が、前記第3の領域で電気的に接続される工程は、前記第2の素子分離絶縁膜の上で行うことを含む、不揮発性半導体記憶装置の製造方法。

【請求項5】 請求項1、2、3または4において、前記トンネル絶縁膜及び前記第1のゲート絶縁膜を形成する工程は、前記トンネル絶縁膜の厚みと前記第1のゲート絶縁膜の厚みが同じであることを含む、不揮発性半導体記憶装置の製造方法。

【請求項6】 請求項5において、前記トンネル絶縁膜及び前記第1のゲート絶縁膜を形成する工程は、厚みが7～17nmの前記トンネル絶縁膜及び前記第1のゲート絶縁膜を形成する工程を含む、不揮発性半導体記憶装置の製造方法。

【請求項7】 請求項1、2、3、4、5または6において、同じ動作電圧の前記記憶素子と前記第1の電界効果トランジスタとを形成する工程を含む、不揮発性半導体記憶装置の製造方法。

【請求項8】 請求項7において、前記動作電圧は1.5～5Vを含む、不揮発性半導体記憶装置の製造方法。

【請求項9】 請求項1、2、3、4、5、6、7または8において、前記第1の電界効果トランジスタは、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、アドレスバッファ及びコントロールロジックのうち、少なくともいずれか一つの回路に含まれる、不揮発性半導体記憶装置の製造方法。

【請求項10】 請求項1、2、3、4、5、6、7、8または9において、前記主表面は、さらに第4の領域を有し、前記第1の絶縁膜を形成する工程の後に、前記第4の領域に、第2の電界効果トランジスタの第2のゲート絶縁膜を形成する工程を含み、前記第2の導電体膜を形成する工程は、前記第2の導電体膜を前記第4の領域にある前記第2のゲート絶縁膜の上に形成する工程を含み、前記第1の領域に前記コントロールゲート及び前記フローティングゲート並びに前記第2の領域に前記第2及び

3

第1の導電体膜の積層構造を含む前記第1のゲート電極を形成する工程は、前記第2の導電体膜を選択的に除去し、前記第4の領域に前記第2の電界効果トランジスタの第2のゲート電極を形成する工程を含む、不揮発性半導体記憶装置の製造方法。

【請求項11】 請求項10において、前記第2のゲート絶縁膜を形成する工程は、前記トンネル絶縁膜及び前記第1のゲート絶縁膜の厚みと異なる厚みの前記第2のゲート絶縁膜を形成する工程を含む、不揮発性半導体記憶装置の製造方法。

【請求項12】 請求項11において、前記第2のゲート絶縁膜を形成する工程は、前記トンネル絶縁膜及び前記第1のゲート絶縁膜の厚みより、大きな厚みの前記第2のゲート絶縁膜を形成する工程を含む、不揮発性半導体記憶装置の製造方法。

【請求項13】 請求項10、11または12において、前記第2のゲート絶縁膜を形成する工程は、厚みが15～40nmの前記第2のゲート絶縁膜を形成する工程を含む、不揮発性半導体記憶装置の製造方法。

【請求項14】 請求項10、11、12または13において、前記第2の電界効果トランジスタの形成工程は、前記記憶素子及び前記第1の電界効果トランジスタの動作電圧と異なる動作電圧の前記第2の電界効果トランジスタを形成する工程を含む、不揮発性半導体記憶装置の製造方法。

【請求項15】 請求項14において、前記第2の電界効果トランジスタの動作電圧は、5～15Vを含む、不揮発性半導体記憶装置の製造方法。

【請求項16】 請求項10、11、12、13、14または15において、前記第2の電界効果トランジスタは、書き込み／消去回路及び昇圧回路に含まれる、不揮発性半導体記憶装置の製造方法。

【請求項17】 その主表面に、第1、第2、第3及び第4の領域を有する半導体基板と、コントロールゲート及びフローティングゲートを有する記憶素子と、第1のゲート電極を有する第1の電界効果トランジスタと、第2のゲート電極を有する第2の電界効果トランジスタと、を含む不揮発性半導体記憶装置の製造方法であって、前記主表面に、前記主表面を前記第1の領域と前記第2の領域とに分ける第1の素子分離絶縁膜を形成する工程と、前記第1の領域に前記記憶素子のトンネル絶縁膜を形成し、同時に前記第2の領域に前記第1の電界効果トランジスタの第1のゲート絶縁膜を形成する工程と、前記トンネル絶縁膜、前記第1のゲート絶縁膜及び前記第3の領域の上に、第1の導電体膜を形成する工程と、

4

前記第1の領域にある前記第1の導電体膜の上に、前記記憶素子の誘電体膜となる第1の絶縁膜を形成する工程と、

前記第2及び前記第3の領域にある前記第1の導電体膜の上並びに前記第4の領域の上に、前記第4の領域において前記第2の電界効果トランジスタの第2のゲート絶縁膜となる第2の絶縁膜を形成する工程と、

前記第3の領域にある前記第1の導電体膜の上の前記第2の絶縁膜を選択的に除去し、前記第3の領域にある前記第1の導電体膜を露出する工程と、

前記第1の領域にある前記第1の絶縁膜の上、前記第2の領域にある前記第2の絶縁膜の上、前記第3の領域にある前記第1の導電体膜の上及び前記第4の領域にある前記第2の絶縁膜の上に、第2の導電体膜を形成する工程と、

前記第2の導電体膜を形成する工程は、前記第3の領域で前記第1の導電体膜と前記第2の導電体膜とを電氣的に接続させる工程を含み、

さらに、

前記第2及び第1の導電体膜を選択的に除去して、前記第1の領域に、前記コントロールゲート及び前記フローティングゲート、前記第2の領域に、間に前記第2の絶縁膜を挟んだ前記第2及び第1の導電体膜の積層構造を含み、かつ前記第2の導電体膜と前記第1の導電体膜とが前記第3の領域で電氣的に接続されている前記第1のゲート電極並びに前記第4の領域に、前記第2の導電体膜を含む前記第2のゲート電極を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項18】 情報の記憶を電荷の蓄積によりおこなう不揮発性半導体記憶装置であって、主表面を有する半導体基板と、前記主表面を第1の領域と第2の領域とに分ける第1の素子分離絶縁膜と、前記第1の領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜、コントロールゲートが積層された構造を有する記憶素子と、前記第2の領域に形成され、第1のゲート絶縁膜、第1のゲート電極が積層された構造を有する第1の電界効果トランジスタと、

を備え、

前記第1のゲート絶縁膜の厚みは、前記トンネル絶縁膜の厚みと同じであり、

前記第1のゲート電極の厚みは、前記フローティングゲートの厚み+前記コントロールゲートの厚みと同じである、不揮発性半導体記憶装置。

【請求項19】 請求項18において、前記第1のゲート電極は、下層電極と上層電極とを積層した構造であり、

前記下層電極と前記上層電極とが接触している、不揮発性半導体記憶装置。

【請求項20】 請求項18において、

前記主表面は、さらに第3の領域を有し、
前記第1のゲート電極は、下層電極と上層電極との間に
絶縁膜を挟んだ構造であり、

前記下層電極と前記上層電極とは、前記第3の領域で電
氣的に接続されている、不揮発性半導体記憶装置。

【請求項21】 請求項18、19または20におい
て、

前記主表面は、さらに第4の領域を有し、

前記第4の領域に形成され、前記第1のゲート絶縁膜及
び前記トンネル絶縁膜の厚みと異なる厚みの第2のゲ
ート絶縁膜と、第2のゲート電極とが積層された構造を有
する第2の電界効果トランジスタを備えた不揮発性半導
体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、情報の記憶を電
荷の蓄積により行う不揮発性半導体記憶装置の製造方法
に関するものであり、特に、記憶素子と電界効果トラン
ジスタとが同一の半導体基板上に形成された不揮発性半
導体記憶装置の製造方法及びその製造方法により製造さ
れた不揮発性半導体記憶装置に関するものである。

【0002】

【背景技術】フローティングゲートとコントロールゲ
ートを備えた記憶素子を有する不揮発性半導体記憶装置と
して、例えばフラッシュメモリがある。このフラッシュ
メモリは、記憶素子を行列状に配置したメモリセルアレ
イと周辺回路とを同一の半導体基板上に形成した構造を
している。記憶素子は、トンネル酸化膜、フローティ
ングゲート、誘電体膜、コントロールゲートを積層した構
造をしており、トンネル酸化膜の厚みは、一般に、7～
12nmである。周辺回路は、厚さ7～20nmのゲ
ート酸化膜を有する低耐圧トランジスタを含むセンスア
ンプ等の回路と、厚さ15～40nmのゲート酸化膜を有
する高耐圧トランジスタを含む書き込み／消去回路及び
昇圧回路とに分けられる。

【0003】

【発明が解決しようとする課題】このように従来の不揮
発性半導体記憶装置においては、メモリセルアレイを構
成する記憶素子のトンネル酸化膜の厚みと周辺回路を構
成する電界効果トランジスタのゲート酸化膜の厚みが異
なっていたため、不揮発性半導体記憶装置製造工程にお
いて、トンネル酸化膜の形成工程とゲート酸化膜の形成
工程とを分けて行わなければならない、製造工程を増やす
原因となっていた。

【0004】この発明に係る従来の問題点を解決するた
めになされたものである。この発明の目的は、製造工程
を減らすことができる不揮発性半導体記憶装置の製造方
法及びその製造方法により製造された不揮発性半導体記
憶装置を提供することである。

【0005】

【課題を解決するための手段】この発明に従う不揮発性
半導体記憶装置の製造方法は、フローティングゲート及
びコントロールゲートを有する記憶素子と、第1のゲ
ート電極を有する第1の電界効果トランジスタと、を含む
不揮発性半導体記憶装置の製造方法である。この発明に
従う不揮発性半導体記憶装置の製造方法は、以下の工程
を備える。半導体基板の主表面に、主表面を第1の領域
と第2の領域とに分ける第1の素子分離絶縁膜を形成す
る工程と、第1の領域に記憶素子のトンネル絶縁膜を形
成し、同時に第2の領域に第1の電界効果トランジスタ
の第1のゲート絶縁膜を形成する工程と、トンネル絶縁
膜及び第1のゲート絶縁膜の上に、第1の導電体膜を形
成する工程と、第1の領域にある第1の導電体膜の上
に、記憶素子の誘電体膜となる第1の絶縁膜を形成する
工程と、第1の領域にある第1の絶縁膜の上及び第2の
領域にある第1の導電体膜の上に、第2の導電体膜を形
成する工程と、第2及び第1の導電体膜を選択的に除去
して、第1の領域にコントロールゲート及びフローティ
ングゲート並びに第2の領域に第2及び第1の導電体膜
の積層構造を含む第1のゲート電極を形成する工程と、
を備える。

【0006】この発明に従う不揮発性半導体記憶装置の
製造方法は、記憶素子のトンネル絶縁膜と第1の電界効
果トランジスタの第1のゲート絶縁膜とを同時に形成し
ているので、別々に形成していた従来に比べ、製造工程
を減らすことができる。

【0007】また、第1の電界効果トランジスタの第1
のゲート絶縁膜形成直後に、第1のゲート絶縁膜は第1
の導電体膜で覆われる。よって、第1のゲート絶縁膜
は、後工程（例えば、ONO膜エッチング）における洗
浄液やプラズマ（Process Induced Charge）に曝されないため、その膜質を向上するこ
とができる。第1の電界効果トランジスタとして、例え
ば、低耐圧トランジスタの場合、ゲート絶縁膜は薄膜
（～7nm）であるため、膜質要求は厳しい。よって、
上記効果は低耐圧トランジスタの場合、特に有効であ
る。

【0008】また、コントロールゲート、フローティ
ングゲート及び第1のゲート電極を形成する工程前まで、
素子分離絶縁膜の端が第1の導電体膜で覆われているた
め、素子分離絶縁膜端形状の制御が容易であり、それに
起因した問題（エッチング後における素子分離絶縁膜端
での膜残り、ゲート絶縁膜Q b dの低下等）を回避する
ことができる。

【0009】この発明に従う不揮発性半導体記憶装置の
製造方法の好ましい態様として、以下の態様がある。第
1の絶縁膜を形成する工程は、第2の領域にある第1の
導電体膜の上に、第1の絶縁膜を形成する工程と、第2
の領域にある第1の導電体膜の上の第1の絶縁膜を選択

7

的に除去し、第2の領域にある第1の導電体膜を露出する工程と、を含む。第2の導電体膜を形成する工程は、第2の導電体膜が、露出した第1の導電体膜と接触するように形成する工程を含む。

【0010】この態様は、第2の領域において、第2の導電体膜が露出した第1の導電体膜と接触するように形成している。よって、第1の電界効果トランジスタの第1のゲート電極は、第1の導電体膜の上に直接第2の導電体膜が乗った形の第2及び第1の導電体膜の積層構造をしている。

【0011】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、以下の態様がある。主表面は、さらに第3の領域を有する。第1の導電体膜を形成する工程は、第1の導電体膜を第3の領域に形成する工程を含む。第1の絶縁膜を形成する工程は、第1の絶縁膜を第2及び第3の領域にある第1の導電体膜の上に形成する工程と、第3の領域にある第1の導電体膜の上の第1の絶縁膜を選択的に除去し、第3の領域にある第1の導電体膜を露出する工程とを含む。第2の導電体膜を形成する工程は、第2の導電体膜を第3の領域に形成し、第3の領域で第1の導電体膜と第2の導電体膜とを電気的に接続させる工程を含む。第1のゲート電極を形成する工程は、第1のゲート電極を構成する第2及び第1の導電体膜は、第3の領域で電気的に接続され、第2の領域に、間に第1の絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含む第1のゲート電極を形成する工程を含む。

【0012】この態様においては、第1の電界効果トランジスタの第1のゲート電極を構成する第2及び第1の導電体膜の電気的接続を、第3の領域で行っている。よって、第1のゲート電極は、第1の導電体膜と第2の導電体膜との間に第1の絶縁膜が挟まった構造をしている。この態様において、間に第1の絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含む第1のゲート電極を形成しているの、コントロールゲート及びフローティングゲートの積層構造の形成工程と、第1のゲート電極の形成工程とが、全く同一となり、第1のゲート電極形成を簡易にできる。

【0013】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、第3の領域に、第2の素子分離絶縁膜を形成する工程を含む。そして、第1のゲート電極を構成する第2及び第1の導電体膜が、第3の領域で電気的に接続される工程は、第2の素子分離絶縁膜の上で行うことを含む。この態様においては、第1のゲート電極を構成する第2及び第1の導電体膜の電気的接続は、第2の素子分離絶縁膜の上で行っている。素子分離絶縁膜の上は、活性領域に比べ、面積的に余裕がある。よって素子分離絶縁膜の上において、第1の導電体膜の幅を大きくすることができる。従って、第1の導電体膜と第2の導電体膜とを電気的に接続され

8

るために、第1の導電体膜の上の第1の絶縁膜に、コンタクトホールを形成する際、マスク合わせに余裕ができる。

【0014】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、トンネル絶縁膜及び第1のゲート絶縁膜を形成する工程は、トンネル絶縁膜の厚みとゲート絶縁膜の厚みが同じであることを含む。

【0015】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、トンネル絶縁膜及び第1のゲート絶縁膜を形成する工程は、厚みが7～17nmのトンネル絶縁膜及び第1のゲート絶縁膜を形成する工程を含む。

【0016】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、同じ動作電圧の記憶素子と第1の電界効果トランジスタとを形成する工程を含む。この動作電圧としては例えば1.5～5Vがある。

【0017】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、第1の電界効果トランジスタを、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、アドレスバッファ及びコントロールロジックのうち、少なくともいずれか1つの回路に含まれる。これらの回路に含まれる電界効果トランジスタは低耐圧のトランジスタである。不揮発性半導体記憶装置の低消費電力化の要請により、低耐圧トランジスタの動作電圧が小さくなっている。これに伴い低耐圧トランジスタのゲート絶縁膜の厚みも小さくなってきており、記憶素子のトンネル絶縁膜の厚みと同じにすることができる。よってこの発明に従う不揮発性半導体記憶装置の製造方法は、記憶素子と低耐圧トランジスタとを同一の半導体基板上に形成する場合に応用することができる。

【0018】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、以下の態様がある。主表面は、さらに第4の領域を有する。第1の絶縁膜を形成する工程の後に、第4の領域に、第2の電界効果トランジスタの第2のゲート絶縁膜を形成する工程を含む。第2の導電体膜を形成する工程は、第2の導電体膜を第4の領域にある第2のゲート絶縁膜の上に形成する工程を含む。第1の領域にコントロールゲート及びフローティングゲート並びに第2の領域に第2及び第1の導電体膜の積層構造を含む第1のゲート電極を形成する工程は、第2の導電体膜を選択的に除去し、第4の領域に第2の電界効果トランジスタの第2のゲート電極を形成する工程を含む。

【0019】この態様は、記憶素子のトンネル絶縁膜及び第1の電界効果トランジスタの第1のゲート絶縁膜を形成後、第4の領域に、第2の電界効果トランジスタの第2のゲート絶縁膜を形成し、その後第2のゲート絶縁

膜の上に形成された第2の導電体膜を選択的に除去し、第2の電界効果トランジスタの第2のゲート電極を形成している。すなわち、記憶素子のトンネル絶縁膜及び第1の電界効果トランジスタの第1のゲート絶縁膜の形成工程と、第2の電界効果トランジスタの第2のゲート絶縁膜の形成工程とを異ならしめている。よって、第2の電界効果トランジスタの第2のゲート絶縁膜は、要求される最適な厚みや材質にすることができる。

【0020】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、第2のゲート絶縁膜を形成する工程を、トンネル絶縁膜及び第1のゲート絶縁膜の厚みと異なる厚みの第2のゲート絶縁膜を形成する工程を含む。

【0021】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、以下の工程がある。第2のゲート絶縁膜を形成する工程は、トンネル絶縁膜及び第1のゲート絶縁膜の厚みより、大きな厚みの第2のゲート絶縁膜を形成する工程を含む。

【0022】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、以下の工程がある。第2のゲート絶縁膜を形成する工程は、厚みが15～40nmの第2のゲート絶縁膜を形成する工程を含む。

【0023】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、以下の態様がある。第2の電界効果トランジスタの形成工程は、記憶素子及び第1の電界効果トランジスタの動作電圧と異なる動作電圧の第2の電界効果トランジスタを形成する工程を含む。このような動作電圧として例えば5～15Vがある。

【0024】この発明に従う不揮発性半導体記憶装置の製造方法のさらに好ましい態様として、以下の態様がある。第2の電界効果トランジスタは、書き込み／消去回路及び昇圧回路に含まれる。書き込み／消去回路及び昇圧回路中の電界効果トランジスタは高耐圧トランジスタが用いられる。この発明は、同一半導体基板の上に、記憶素子、低耐圧トランジスタ及び高耐圧トランジスタを形成する場合に応用することができる。

【0025】この発明に従う不揮発性半導体記憶装置の製造方法は、その主表面に、第1、第2、第3及び第4の領域を有する半導体基板と、コントロールゲート及びフローティングゲートを有する記憶素子と、第1のゲート電極を有する第1の電界効果トランジスタと、第2のゲート電極を有する第2の電界効果トランジスタと、を含む不揮発性半導体記憶装置の製造方法である。この発明に従う不揮発性半導体記憶装置の製造方法は、以下の工程を備える。主表面に、主表面を第1の領域と第2の領域とに分ける第1の素子分離絶縁膜を形成する工程と、第1の領域に記憶素子のトンネル絶縁膜を形成し、同時に第2の領域に第1の電界効果トランジスタの第1のゲ

ート絶縁膜を形成する工程と、トンネル絶縁膜、第1のゲート絶縁膜及び第3の領域の上に、第1の導電体膜を形成する工程と、第1の領域にある第1の導電体膜の上に、記憶素子の誘電体膜となる第1の絶縁膜を形成する工程と、第2及び第3の領域にある第1の導電体膜の上並びに第4の領域の上に、第4の領域において第2の電界効果トランジスタの第2のゲート絶縁膜となる第2の絶縁膜を形成する工程と、第3の領域にある第1の導電体膜の上の前記第2の絶縁膜を選択的に除去し、第3の領域にある第1の導電体膜を露出する工程と、第1の領域にある第1の絶縁膜の上、第2の領域にある第2の絶縁膜の上、第3の領域にある第1の導電体膜の上及び第4の領域にある第2の絶縁膜の上に、第2の導電体膜を形成する工程と、を備える。第2の導電体膜を形成する工程は、第3の領域で第1の導電体膜と第2の導電体膜とを電気的に接続させる工程を含む。さらに、第2及び第1の導電体膜を選択的に除去して、第1の領域に、コントロールゲート及びフローティングゲート、第2の領域に、間に第2の絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含み、かつ第2の導電体膜と第1の導電体膜とが第3の領域で電気的に接続されている第1のゲート電極並びに第4の領域に、第2の導電体膜を含む第2のゲート電極を形成する工程を備えている。

【0026】この発明に従う不揮発性半導体記憶装置の製造方法は、記憶素子のトンネル絶縁膜と第1の電界効果トランジスタのゲート絶縁膜と同時に形成しているので、別々に形成していた従来に比べ、製造工程を減らすことができる。また、記憶素子のトンネル絶縁膜及び第1の電界効果トランジスタの第1のゲート絶縁膜の形成工程と、第2の電界効果トランジスタの第2のゲート絶縁膜の形成工程とを異ならしめている。よって、第2の電界効果トランジスタの第2のゲート絶縁膜は、要求される最適な厚みや材質にすることができる。

【0027】この発明に従う不揮発性半導体記憶装置は、情報の記憶を電荷の蓄積により行う不揮発性半導体記憶装置であって、主表面を有する半導体基板と、主表面を第1の領域と第2の領域とに分ける第1の素子分離絶縁膜と、第1の領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜、コントロールゲートが積層された構造を有する記憶素子と、第2の領域に形成され、第1のゲート絶縁膜、第1のゲート電極が積層された構造を有する第1の電界効果トランジスタと、を備える。第1のゲート絶縁膜の厚みは、トンネル絶縁膜の厚みと同じである。第1のゲート電極の厚みは、フローティングゲートの厚み+コントロールゲートの厚みと同じである。

【0028】この発明に従う不揮発性半導体記憶装置は、第1のゲート電極、例えば、低耐圧トランジスタのゲート電極が2層の導電体膜から構成される。したがって、導電体膜への不純物ドーピングの際の不純物の突き

抜けを防止でき、第1のゲート絶縁膜の膜質向上及び第1のゲート電極直下の半導体基板不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半導体記憶装置を実現できる。

【0029】また、第1及び第2の導電体膜として、ポリシリコン膜を用いた場合、第1のゲート絶縁膜の膜質特性要求（第1のゲート絶縁膜と第1の導電体膜との界面に起因）及び金属シリサイドの特性要求（第2の導電体膜と金属シリサイドとの界面に起因）に対し、それぞれ、第1の導電体膜、第2の導電体膜により独立に最適化できる。

【0030】さらに、第1の電界効果トランジスタの第1のゲート電極の高さと、記憶素子の高さとが概ね同一となる。よって、その上に形成される層間絶縁膜の平坦性を向上させることができるこの発明に従う不揮発性半導体記憶装置の好ましい態様として、第1のゲート電極は、下層電極と上層電極とを積層した構造であり、下層電極と上層電極とが接触している。

【0031】この発明に従う不揮発性半導体記憶装置のさらに好ましい態様として、以下の態様がある。主表面は、さらに第3の領域を有する。第1のゲート電極は、下層電極と上層電極との間に絶縁膜を挟んだ構造である。下層電極と上層電極とは、第3の領域で電氣的に接続されている。この発明に従う不揮発性半導体記憶装置のさらに好ましい態様は、下層電極と上層電極との間に絶縁膜を挟んだ構造であり、この絶縁膜により上記した不純物の突き抜けをさらに防止でき、第1のゲート絶縁膜の膜質向上及び第1のゲート電極直下の半導体基板不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半導体記憶装置を実現できる。

【0032】また、下層電極と上層電極との間に絶縁膜を挟んだ構造であるため、第1の電界効果トランジスタの第1のゲート電極の高さと、記憶素子の高さとが同一となる。よって、その上に形成される層間絶縁膜の平坦性を向上させることができる。

【0033】この発明に従う不揮発性半導体記憶装置のさらに好ましい態様として、以下の態様がある。主表面は、さらに第4の領域を有する。第2の電界効果トランジスタは、第4の領域に形成され、第1のゲート絶縁膜及びトンネル絶縁膜の厚みと異なる厚みの第2のゲート絶縁膜と、第2のゲート電極とが積層された構造を有する。

【0034】

【発明の実施の形態】この発明を適用することができる不揮発性半導体記憶装置として、例えばフラッシュメモリがある。図18はフラッシュメモリの一般的な構成を示すブロック図である。フラッシュメモリは記憶素子が行列状に配置されたメモリセルアレイ1と、Yゲート、センスアンプ3と、入出力バッファ5と、Xアドレスデ

コーダ7と、Yアドレスデコーダ9と、アドレスバッファ11と、コントロールロジック13を含む。以下説明するこの発明の実施の形態は、フラッシュメモリにこの発明を適用した場合を説明するが、この発明はこれに限定されるわけではなく、フローティングゲート及びコントロールゲートを有する記憶素子と、第1のゲート電極を有する第1の電界効果トランジスタと、を含む不揮発性半導体記憶装置、例えば、EPROM、EEPROM、フラッシュEEPROM（NOR型、NAND型、DINOR型、AND型）等であればこの発明を適用することができる。

【0035】（第1形態）図1は、この発明に従う不揮発性半導体記憶装置の製造方法の第1形態を用いて製造した不揮発性半導体記憶装置の部分断面図である。半導体基板の一例であるシリコン基板10の主表面は、フィールド酸化膜62、64、66、68によって、記憶素子形成領域56、低耐圧トランジスタ形成領域58、高耐圧トランジスタ形成領域60に分けられている。記憶素子形成領域56は、図18に示すメモリセルアレイ1に対応している。低耐圧トランジスタ形成領域58は、図18に示すYゲート、センスアンプ3、入出力バッファ5、Xアドレスデコーダ7、Yアドレスデコーダ9、アドレスバッファ11、コントロールロジック13の少なくともいずれかに対応している。高耐圧トランジスタ形成領域60は、図18中に示すXアドレスデコーダ7、Yアドレスデコーダ9、もしくはその周辺に配置される書込み／消去回路及び昇圧回路に対応している。記憶素子形成領域56が、第1の領域の一例であり、低耐圧トランジスタ形成領域58が第2の領域の一例であり、高耐圧トランジスタ形成領域60が第4の領域の一例である。そして記憶素子形成領域56と低耐圧トランジスタ形成領域58との間にあるフィールド酸化膜66が、第1の素子分離絶縁膜の一例である。

【0036】まず、記憶素子形成領域56に形成された記憶素子について説明する。記憶素子形成領域56にあるシリコン基板10の主表面の上に、トンネル絶縁膜の一例であるトンネル酸化膜14が形成されている。トンネル酸化膜14の上に、順にフローティングゲート20、誘電体膜22、コントロールゲート24が積層されている。この積層構造を挟むように、シリコン基板10の主表面には、ソース／ドレイン30、32が形成されている。記憶素子形成領域56には、この積層構造及びソース／ドレイン30、32を覆うように、シリコン酸化膜42が形成されている。シリコン酸化膜42には、ソース／ドレイン30、32に到達するコンタクトホールが設けられている。シリコン酸化膜42の上に形成されたアルミ配線44、46は、これらのコンタクトホール内にまで形成され、これにより、アルミ配線44はソース／ドレイン30と電氣的に接続され、アルミ配線46はソース／ドレイン32と電氣的に接続されている。

【0037】次に、低耐圧トランジスタ形成領域 58 に形成された第 1 の電界効果トランジスタの一例である低耐圧トランジスタについて説明する。低耐圧トランジスタ形成領域にあるシリコン基板 10 の主表面の上には、第 1 のゲート絶縁膜の一例であるゲート酸化膜 16 が形成されている。ゲート酸化膜 16 の上には第 1 のゲート電極の一例であるゲート電極 26 が形成されている。ゲート電極 26 は、ポリシリコン膜を積層した構造をしている。ゲート電極 26 を挟むように、シリコン基板 10 の主表面には、ソース／ドレイン 34、36 が形成され

10

ている。ソース／ドレイン 34、36 及びゲート電極 26 を覆うようにシリコン酸化膜 42 が形成されている。シリコン酸化膜 42 の上には、アルミ配線 48、50 が形成されている。シリコン酸化膜 42 は、ソース／ドレイン 34、36 に到達するコンタクトホールが設けられておりアルミ配線 48、50 はこれらのコンタクトホール内にも形成され、アルミ配線 48 はソース／ドレイン 34 と電氣的に接続され、アルミ配線 50 はソース／ドレイン 36 と電氣的に接続されている。

【0038】次に、高耐圧トランジスタ形成領域 60 に形成された第 2 の電界効果トランジスタの一例である高耐圧トランジスタについて説明する。高耐圧トランジスタ形成領域 60 にあるシリコン基板 10 の主表面の上には、第 2 のゲート絶縁膜の一例であるゲート酸化膜 18 が形成されている。ゲート酸化膜 18 の上には、第 2 のゲート電極の一例であるゲート電極 28 が形成されている。ゲート電極 28 を挟むように、シリコン基板 10 の主表面にはソース／ドレイン 38、40 が形成されている。ゲート電極 28 並びにソース／ドレイン 38、40 を覆うように、シリコン酸化膜 42 が形成されている。

20

シリコン酸化膜 42 の上には、アルミ配線 52、54 が形成されている。シリコン酸化膜 42 には、ソース／ドレイン 38、40 に到達するコンタクトホールが形成されており、アルミ配線 52、54 はそれぞれコンタクトホール内にも形成され、これによりアルミ配線 52 はソース／ドレイン 38 と電氣的に接続され、アルミ配線 54 はソース／ドレイン 40 と電氣的に接続されている。

【0039】次にこの発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態について説明する。まず図 2 を参照して、シリコン基板 10 の主表面に、フィールド酸化膜 62、64、66、68 を選択的に形成し、シリコン基板 10 の主表面を記憶素子形成領域 56、低耐圧トランジスタ形成領域 58、高耐圧トランジスタ形成領域 60 に分ける。図 3 を参照して、シリコン基板 10 の主表面の上に、例えば熱酸化法を用いて厚さ 7~17 nm のシリコン酸化膜 70 を形成する。記憶素子形成領域 56 にあるシリコン酸化膜 70 は、トンネル酸化膜となり、低耐圧トランジスタ形成領域 58 の上のシリコン酸化膜 70 は、ゲート酸化膜となる。このように、トンネル酸化膜とゲート酸化膜とが同時に形成されている。な

40

お、以下素子形成領域 56 の上にあるシリコン酸化膜 70 をトンネル酸化膜 14、低耐圧トランジスタ形成領域 58 の上にあるシリコン酸化膜 70 をゲート酸化膜 16 として表す。

【0040】図 4 を参照して、シリコン基板 10 の主表面の上に、例えば CVD 法を用いて厚さ 100~200 nm のポリシリコン膜 72 を形成する。ポリシリコン膜 72 が、第 1 の導電体膜の一例である。そしてレジストをマスクとして、ポリシリコン膜 72 をエッチングにより選択的に除去する。この選択的除去により、高耐圧トランジスタ形成領域 60 の上にあるポリシリコン膜 72 が除去される。

【0041】図 5 を参照して、記憶素子形成領域 56 にあるポリシリコン膜 72、低耐圧トランジスタ形成領域 58 の上にあるポリシリコン膜 72 及び高耐圧トランジスタ形成領域にあるシリコン酸化膜 70 の上に、ONO 膜 74 を形成する。この ONO 膜 74 が、記憶素子の誘電体膜となる第 1 の絶縁膜の一例である。ONO 膜 74 の O 膜の部分は、例えば CVD 法または熱酸化法により形成され、N 膜の部分は、例えば CVD 法により形成される。

【0042】図 6 を参照して、レジストをマスクとしたエッチングにより、低耐圧トランジスタ形成領域 58 の上にあるポリシリコン膜 72 の上の ONO 膜 74 並びに高耐圧トランジスタ形成領域 60 にあるシリコン酸化膜 70 及び ONO 膜 74 を除去する。このエッチング除去により、低耐圧トランジスタ形成領域 58 においては、ポリシリコン膜 72 が露出し、高耐圧トランジスタ形成領域 60 においてはシリコン基板 10 の主表面が露出する。

30

【0043】図 7 を参照して、例えば熱酸化法により高耐圧トランジスタ形成領域 60 にあるシリコン基板 10 の主表面の上に、第 2 のゲート絶縁膜の一例である厚さ 15~40 nm のシリコン酸化膜 76 を形成する。このシリコン酸化膜 76 が高耐圧トランジスタのゲート酸化膜となる。この熱酸化により、低耐圧トランジスタ形成領域 58 にあるポリシリコン膜 72 の上にはシリコン酸化膜 76 が形成され、また、記憶素子形成領域 56 にある ONO 膜 74 の上にもシリコン酸化膜 76 が形成される。なお、記憶素子形成領域 56 においては、シリコン酸化膜 76 の図示を省略している。高耐圧トランジスタ形成領域 60 にあるシリコン酸化膜 76 を以下、ゲート酸化膜 18 と表す。

【0044】図 8 を参照して、レジストをマスクとしたエッチングにより、低耐圧トランジスタ形成領域 58 にあるシリコン酸化膜 76 を選択的に除去する。

【0045】図 9 を参照して、シリコン基板 10 の主表面全面に、例えば CVD 法を用いて、第 2 の導電体膜の一例である厚さ 100~400 nm のポリシリコン膜 80 を形成する。なお、第 2 の導電体膜の他の例として、

50

厚さ100～200nmのポリシリコン膜と、その上に形成された厚さ100～200nmの WSi_2 、 MoSi_2 、 CoSi_2 、 TiSi_2 などからなるシリサイドの積層構造がある。なお、高耐圧トランジスタ形成領域60に高耐圧トランジスタを形成しない場合は、図7及び図8の工程を省略し、図6に示す工程後、図9に示す工程に入る。

【0046】図10を参照して、レジストをマスクとしたエッチングにより、ポリシリコン膜80、72を選択的に除去し、記憶素子形成領域56に、コントロールゲート24及びフローティングゲート20を形成し、低耐圧トランジスタ形成領域58にゲート電極26を形成し、高耐圧トランジスタ形成領域60にゲート電極28を形成する。

【0047】図1を参照して、フィールド酸化膜62、64、66、68、ゲート電極28、ゲート電極26及びコントロールゲート24をマスクとして、シリコン基板10にイオン注入をすることにより、ソース／ドレイン30、32、34、36、38、40を形成する。そしてシリコン基板10の主表面全面に、例えばCVD法により層間絶縁膜となるシリコン酸化膜42を形成する。層間絶縁膜としてシリコン酸化膜の代わりに、PSG膜、SOG膜またはBPSG膜を用いてもよい。PSG膜、SOG膜またはBPSG膜を単独に用いた一層構造でもよいし、またはシリコン酸化膜、PSG膜、SOG膜またはBPSG膜を組み合わせた多層構造でもよい。次に、レジストをマスクとしたエッチングにより、シリコン酸化膜42を選択的に除去し、ソース／ドレイン30、32、34、36、38、40を露出させるコンタクトホールを形成する。そしてシリコン酸化膜42の上に、例えばスパッタリング法を用いてアルミニウム膜を形成する。このアルミニウム膜にパターニングを施し、アルミ配線44、46、48、50、52、54を形成する。なおアルミ配線の代わりにアルミニウムに銅などを含んだアルミ合金配線でもよい。あるいはチタンやチタンナイトライドを含むバリアメタルとアルミ合金とチタンナイトライドを含む反射防止膜とを積層した配線でもよい。

【0048】図3の説明個所で説明したように、第1形態においては、記憶素子形成領域56及び低耐圧トランジスタ形成領域58の上に、同時にシリコン酸化膜70を形成する。このシリコン酸化膜70はトンネル酸化膜14及びゲート酸化膜16となる。よってトンネル酸化膜14とゲート酸化膜16とを同時に形成しているの

で、製造工程の簡略を図ることができる。

【0049】(第2形態)図11は、この発明に従う不揮発性半導体記憶装置の製造方法の第2形態を用いて製造した不揮発性半導体記憶装置の部分断面図である。図1に示す構造と同一の部分については同一の符号を付すことによりその説明を省略する。図11に示す構造と図

1に示す構造との違いは、図11に示す構造において、低耐圧トランジスタ形成領域58に形成された電界効果トランジスタのゲート電極26が、間にONO膜74を挟んだポリシリコン膜80及び72の積層構造という点である。

【0050】図12は、図11で示す不揮発性半導体記憶装置の部分平面図であり、図12を矢印A方向に切断した断面図が図11である。ゲート電極26を構成するポリシリコン膜80とポリシリコン膜72とは、第2の素子分離絶縁膜の一例であるフィールド酸化膜86の上で、コンタクトホール90内に形成されたポリシリコン膜によって電氣的に接続されている。フィールド酸化膜86が位置するところが、第3の領域の一例である。図13は、図12を矢印B方向に切断した部分断面図である。図13を見ればわかるように、ポリシリコン膜80とポリシリコン膜72とは、コンタクトホール90内に形成されたポリシリコン膜により電氣的に接続されている。

【0051】次に、この発明に従う不揮発性半導体記憶装置の製造方法の第2形態を説明する。第2形態では、第1形態の図5までと同一の工程を経てから、以下の工程に移る。第2形態では、第1形態の図6の工程の低耐圧トランジスタ形成領域58の上にあるポリシリコン膜72上のONO膜74並びに高耐圧トランジスタ形成領域60にあるシリコン酸化膜70及びONO膜74除去にかえて、低耐圧トランジスタ形成領域58の上にあるポリシリコン膜72上のONO膜74はそのまま残し、高耐圧トランジスタ形成領域60にあるシリコン酸化膜70及びONO膜74のみを除去する。そして、第1形態の図7の工程のように、高耐圧トランジスタ形成領域60にあるシリコン基板10の主表面上に、熱酸化によりシリコン酸化膜76を形成する。このとき、ONO膜74上にはほとんど熱酸化による酸化膜は形成されない

ので、第1形態の図8の工程の手段でONO膜74上のシリコン酸化膜76は除去しなくてもよい。この状態が図14(a)に示す状態である。以下、(a)は、図12に示す構造の矢印A方向に切断した断面の工程図を示すものであり、(b)は矢印B方向に沿って切断した断面の工程図を示す。

【0052】図15を参照して、ポリシリコン膜72の上にONO膜74が形成されている。図14の工程の後、図15(b)に示すように、フィールド酸化膜86の上において、ONO膜74に、ポリシリコン膜72を露出させるコンタクトホール90を形成する。なお、高耐圧トランジスタ形成領域60に高耐圧トランジスタを形成しない場合は、図5に示す工程後、(b)断面のフィールド酸化膜86の上のONO膜74に、ポリシリコン膜72を露出させるコンタクトホール90を形成する。

【0053】図16を参照して、シリコン基板10の主

表面全面に、第 1 形態と同じ条件でポリシリコン膜 80 を形成する。このポリシリコン膜 80 の形成により、図 16 (b) に示すように、ポリシリコン膜 80 は、コンタクトホール 90 内にも形成され、ポリシリコン膜 72 と電気的に接続される。

【0054】図 17 を参照して、ポリシリコン膜 80 及び 72 を選択的にエッチング除去し、記憶素子形成領域 56 に、コントロールゲート 24 及びフローティングゲート 20 を形成し、低耐圧トランジスタ形成領域 58 に、間に ONO 膜 74 を挟むポリシリコン膜 80 及び 72 の積層構造からなるゲート電極 26 を形成し、高耐圧トランジスタ形成領域 60 に、ポリシリコン膜 80 からなるゲート電極 28 を形成する。以下の工程は第 1 形態と同じなので説明を省略する。

【0055】この第 2 形態は、第 1 形態と同様に記憶素子のトンネル酸化膜 14 と第 1 の電界効果トランジスタのゲート酸化膜 16 と同一工程で形成することにより、工程の簡略化を図っている。さらに、この第 2 形態は、図 13 に示すように、ゲート電極 26 を構成するポリシリコン膜 80 とポリシリコン膜 72 との電気的接続を、フィールド酸化膜 86 の上で行っている。フィールド酸化膜の上は、活性領域に比べ面積的に余裕がある。よってフィールド酸化膜の上において、ポリシリコン膜 72 の幅を大きくすることができる。従って、ポリシリコン膜 80 と電気的に接続させるために、ポリシリコン膜 72 の上のシリコン酸化膜 76 にコンタクトホール 90 を形成する際、マスク合わせに余裕ができる。

【0056】

【図面の簡単な説明】

【図 1】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態を用いて製造した不揮発性半導体記憶装置の部分断面図である。

【図 2】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態の第 1 工程図である。

【図 3】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態の第 2 工程図である。

【図 4】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態の第 3 工程図である。

【図 5】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態の第 4 工程図である。

【図 6】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態の第 5 工程図である。

【図 7】この発明に従う不揮発性半導体記憶装置の製造

方法の第 1 形態の第 6 工程図である。

【図 8】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態の第 7 工程図である。

【図 9】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態の第 8 工程図である。

【図 10】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 形態の第 9 工程図である。

【図 11】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 形態を用いて製造した不揮発性半導体記憶装置の部分断面図である。

【図 12】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 形態を用いて製造した不揮発性半導体記憶装置の部分平面図であり、矢印 A 方向に沿って切断した断面図が、図 11 である。

【図 13】図 12 を矢印 B 方向で切断した断面図である。

【図 14】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 形態の第 1 工程図である。

【図 15】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 形態の第 2 工程図である。

【図 16】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 形態の第 3 工程図である。

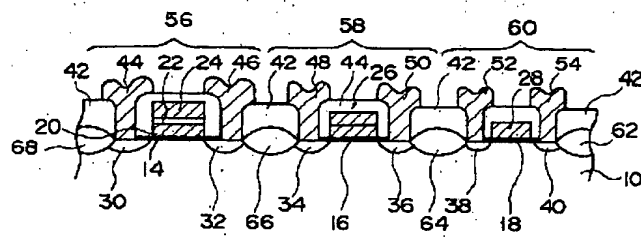
【図 17】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 形態の第 4 工程図である。

【図 18】この発明を適用することができるフラッシュメモリの一般構成を示すブロック図である。

【符号の説明】

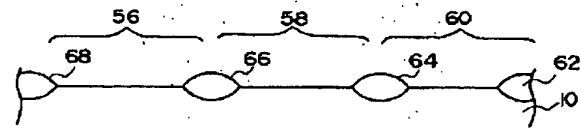
- 10 シリコン基板
- 14 トンネル酸化膜
- 16, 18 ゲート酸化膜
- 20 フローティングゲート
- 22 誘電体膜
- 24 コントロールゲート
- 26, 28 ゲート電極
- 56 記憶素子形成領域
- 58 低耐圧トランジスタ形成領域
- 60 高耐圧トランジスタ形成領域
- 66 フィールド酸化膜
- 72, 80 ポリシリコン膜
- 74 ONO 膜
- 76 シリコン酸化膜
- 86 フィールド酸化膜
- 90 コンタクトホール

【図1】

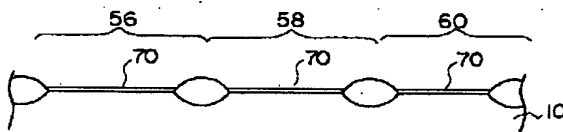


10 シリコン基板
14 トンネル酸化膜
16, 18 ゲート酸化膜
20 フローティングゲート
22 誘電体膜
24 コントロールゲート
26, 28 ゲート電極
56 記憶素子形成領域
58 低電圧トランジスタ形成領域
60 高電圧トランジスタ形成領域
68 フィールド酸化膜

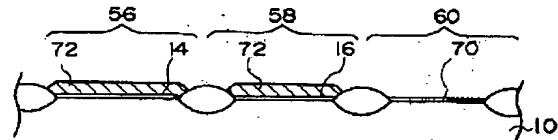
【図2】



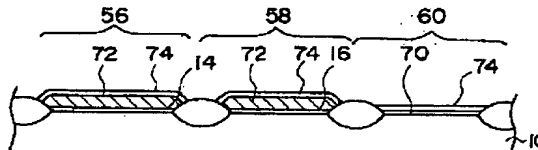
【図3】



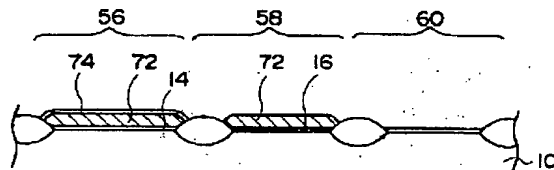
【図4】



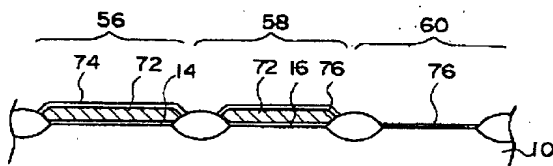
【図5】



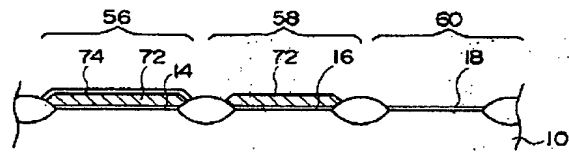
【図6】



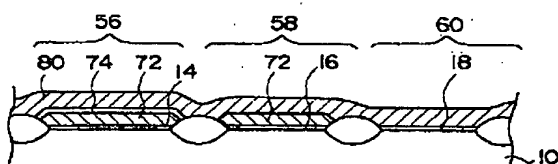
【図7】



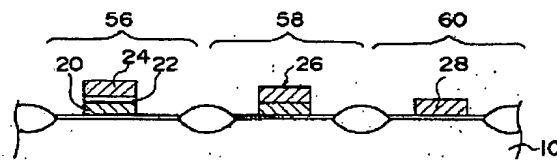
【図8】



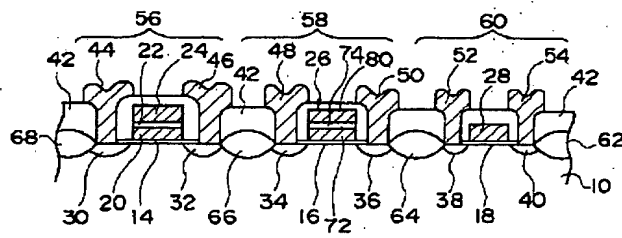
【図9】



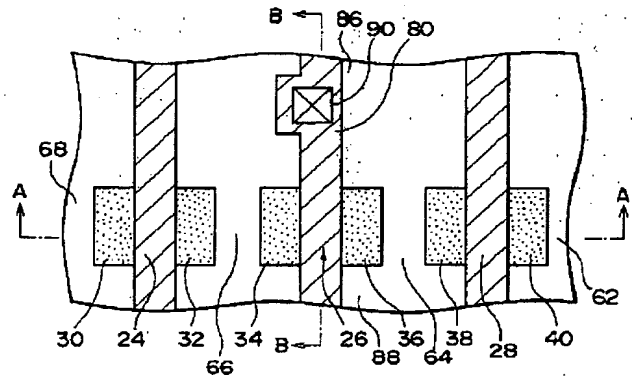
【図10】



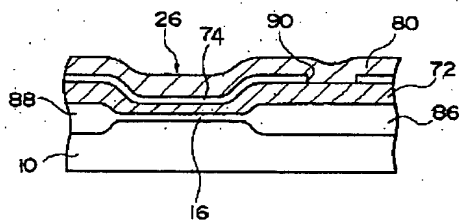
【図11】



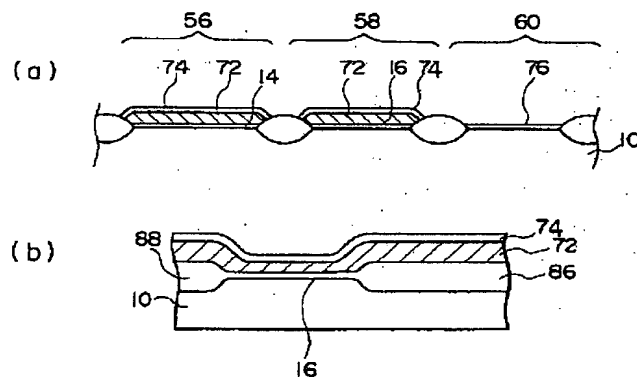
【図12】



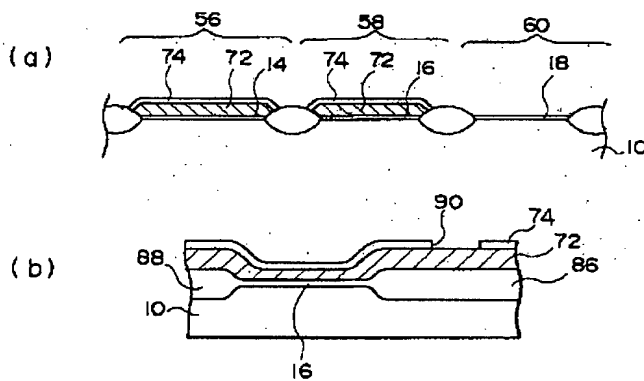
【図13】



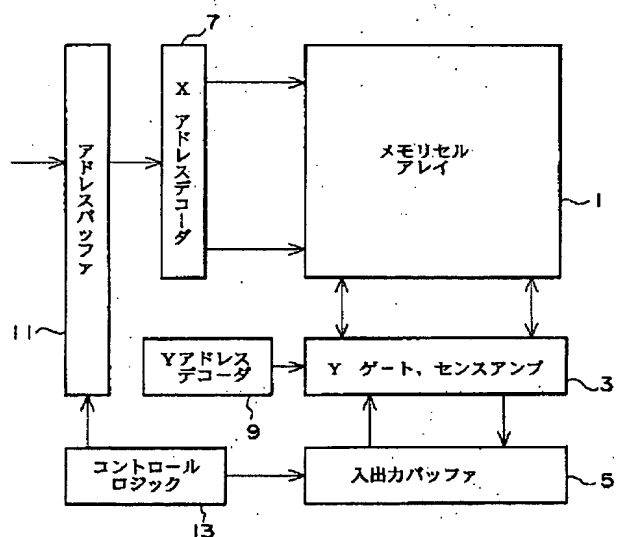
【図14】



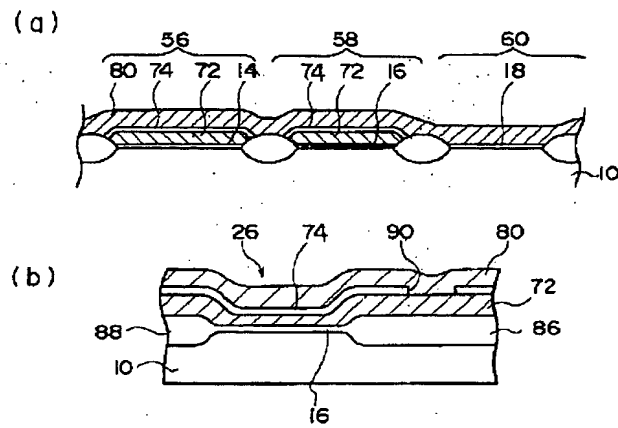
【図15】



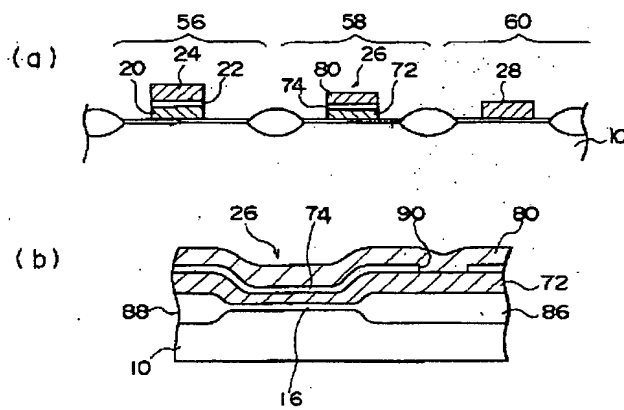
【図18】



【図16】



【図17】



フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 29/788

29/792

識別記号

F I